

FOF-461
JPOQA
ref 3

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-284242

(43) 公開日 平成9年(1997)10月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 J	1/05		H 0 4 J	1/05
	3/00			3/00
H 0 4 L	27/34		H 0 4 L	27/00
				L
				E

審査請求 有 請求項の数 9 O L (全 15 頁)

(21) 出願番号 特願平8-92834

(22) 出願日 平成8年(1996)4月15日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 市▲吉▼ 修

東京都港区芝五丁目7番1号 日本電気株式会社内

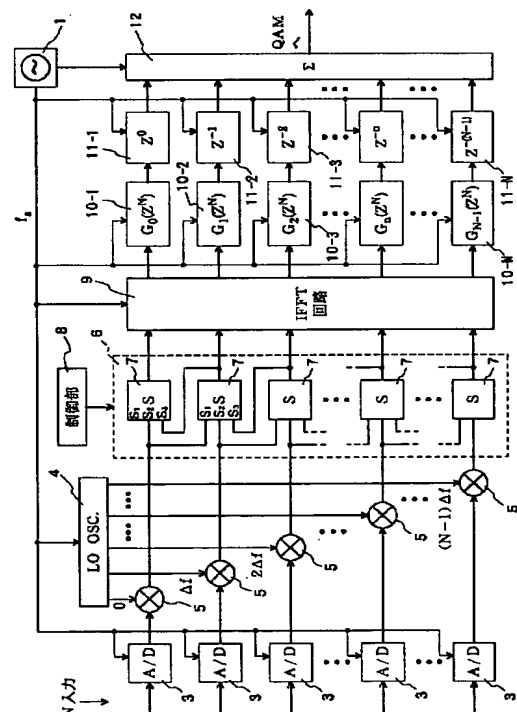
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 可変帯域幅周波数分割多重通信方式

(57) 【要約】

【課題】 周波数分割多重通信において、帯域幅が可変であつてかつ小規模な通信装置を提供する。

【解決手段】 送信側の合波装置においては、各チャネルの信号をA/D変換器3でデジタル化したのち、複素乗算器5においてチャネル間隔 Δf ごとの異なる周波数の複素信号に変換し、複数のスイッチ素子7を有するスイッチ回路6を経て、フーリエ逆変換を行うIFFT回路8に入力する。IFFT回路8の出力側には、 Δf の $1/2$ をナイキスト周波数とするナイキスト特性型のデジタルサブフィルタ10-1~10-Nを配置し、これらデジタルサブフィルタ10-1~10-Nの出力を遅延器11-1~11-Nを介して加算回路12で加算する。受信側の分波装置も、この合波装置と見合う構成とする。各スイッチ素子7の状態を変化させることにより、帯域幅を変化させる。



【特許請求の範囲】

【請求項 1】 合波回路を含む送信側装置と分波回路を含む受信側装置とを有し、チャンネル周波数間隔が Δf であり、かつ前記チャンネル周波数間隔よりも広帯域のチャンネルを設定できる可変帯域幅周波数分割多重通信方式において、

前記合波回路が、

前記チャンネル周波数間隔 Δf の自然数倍のサンプリング周波数 f_s を発生する標準化タイミング発生回路と、

送信されるべき N 本の独立な送信情報信号に対して個別に設けられ、前記サンプリング周波数 f_s に応じて対応する送信情報信号を標準化し、ディジタル信号に変換する A/D 変換器と、

k を 0 から $N-1$ までの各整数として、周波数がそれぞれ前記チャンネル周波数間隔 Δf の k 倍である複素信号を発生する複素局部発振回路と、

N 個の複素乗算器を備えて前記各 A/D 変換器の出力と前記各複素信号とを 1 対 1 で乗算して N 個の出力信号として出力する複素乗算回路と、

N 点の複素フーリエ逆変換演算を行うフーリエ逆変換回路と、

前記複素乗算回路の出力と前記フーリエ逆変換回路の入力との間に設けられた N 入力 N 出力のスイッチ回路と、

前記フーリエ逆変換回路の N 個の出力にそれぞれ 1 個ずつ設けられフィルタリングを行うディジタルサブフィルタと、

前記各ディジタルサブフィルタの出力にそれぞれ 1 個ずつ設けられた遅延器と、

前記各遅延器の出力を受けてその総和を出力する加算回路と、を有し、

k 番目 ($1 \leq k \leq N$) の遅延器が $(k-1)/f_s$ で表わされる遅延に対応するディジタルサブフィルタの出力に与えることを特徴とする可変帯域幅周波数分割多重通信方式。

【請求項 2】 前記サンプリング周波数 f_s が $N \Delta f$ で表わされ、前記送信側装置に、前記合波回路から出力される複素標準系列を受けて複素連続信号に変換する高速 D/A 変換回路と、上記高速 D/A 変換回路の出力により搬送波を直交振幅変調する直交振幅変調回路とがさらに設けられている請求項 1 に記載の可変帯域幅周波数分割多重通信方式。

【請求項 3】 前記スイッチ回路が、3 入力 1 出力の N 個のスイッチ素子を有し、 k 番目のスイッチ素子の第 1 の入力端子が前記スイッチ回路の $k-1$ 番目の入力端子に接続し、前記 k 番目のスイッチ素子の第 2 の入力端子が前記スイッチ回路の k 番目の入力端子に接続し、前記 k 番目のスイッチ素子の第 3 の入力端子が $k+1$ 番目のスイッチ素子の出力端子に接続し、前記 k 番目のスイッチ素子の出力端子が前記スイッチ回路の k 番目の出力端子に接続している請求項 1 または 2 に記載の可変帯域幅

周波数分割多重通信方式。

【請求項 4】 合波回路を含む送信側装置と分波回路を含む受信側装置とを有し、チャンネル周波数間隔が Δf であり、かつ前記チャンネル周波数間隔よりも広帯域のチャンネルを設定できる可変帯域幅周波数分割多重通信方式において、

N を自然数とし、

ベースバンドの信号に変換されディジタル化された受信信号が前記分波回路に入力し、

10 前記分波回路が、

前記チャンネル周波数間隔 Δf の自然数倍のサンプリング周波数 f_s を発生する標準化タイミング発生回路と、

前記ディジタル化された受信信号による複素ディジタル数値系列を入力とし前記サンプリング周波数 f_s に同期してシフト動作を行う N 出力のシフトレジスタと、

前記シフトレジスタの各段の出力を前記サンプリング周波数 f_s に同期して標準化する標準化回路と、

前記標準化回路から並列出力される N 個の信号に対してそれぞれ 1 個ずつ設けられたディジタルサブフィルタ

20 と、

前記各ディジタルサブフィルタの各出力を入力として N 点の複素フーリエ変換を行うフーリエ変換回路と、

前記フーリエ変換回路の出力に設けられた N 入力 N 出力のスイッチ回路と、

k を 0 から $N-1$ までの各整数として、周波数がそれぞれ前記チャンネル周波数間隔 Δf の k 倍である複素信号を発生する複素局部発振回路と、

N 個の複素乗算器を備えて前記スイッチ回路の各出力と前記各複素信号とを 1 対 1 で乗算して N 個の出力信号として出力する複素乗算回路と、

30

前記各複素乗算器ごとに設けられた D/A 変換器と、を有し、

前記各 D/A 変換器の出力において周波数分割多重分波された信号を得ることを特徴とする可変帯域幅周波数分割多重通信方式。

【請求項 5】 前記サンプリング周波数 f_s が $N \Delta f$ で表わされ、前記受信側装置に、受信中間周波数信号を受けてこれを直交振幅復調する直交振幅復調回路と、前記直交振幅復調回路の出力を前記サンプリング周波数 f_s

40

で標準化してディジタル化する A/D 変換回路とを有し、

前記 A/D 変換回路からの複素ディジタル信号が前記シフトレジスタに与えられる請求項 4 に記載の可変帯域幅周波数分割多重通信方式。

【請求項 6】 前記スイッチ回路が、1 入力 3 出力の N 個のスイッチ素子と、 N 個の第 1 の加算器と、 N 個の第 2 の加算器とを有し、 k 番目の第 2 の加算器は $k+1$ 番目のスイッチ素子の第 1 の出力端子の値と k 番目のスイッチ素子の第 2 の出力端子の値を加算して前記スイッチ回路の k 番目の出力端子に出力し、 k 番目の第 1 の加算器は $k-1$ 番目のスイッチ素子の第 3 の出力端子の値と

50

3

前記スイッチ回路の k 番目の入力端子の値とを加算して前記 k 番目のスイッチ素子の入力端子に入力させる、請求項 4 または 5 に記載の可変帯域幅周波数分割多重通信方式。

【請求項 7】 前記複素局部発振回路が N 式のダイレクトデジタルシンセサイザで構成されている請求項 1 または 4 に記載の可変帯域幅周波数分割多重通信方式。

【請求項 8】 前記各デジタルサブフィルタが全体として一つのデジタルフィルタをなし、その周波数特性が周波数 $\Delta f / 2$ において折り返し重畳すると $[0, \Delta f]$ なる周波数領域において完全に平坦となるような特性である請求項 1 または 4 に記載の可変帯域幅周波数分割多重通信方式。

【請求項 9】 各地域ごとに対応して別個に設けられるアンテナを有する中継局を使用して多元接続を行い、前記複数の地域間での完全接続を提供する可変帯域幅周波数分割多重通信方式において、前記中継局内が、前記アンテナごとに設けられた受信装置及び送信装置と、前記チャネル周波数間隔 Δf の自然数倍のサンプリング周波数 f_s を発生する標準化タイミング発生回路と、 k を 0 から $N-1$ までの各整数として、周波数がそれぞれ前記チャネル周波数間隔 Δf の k 倍である複素信号を発生する複素局部発振回路と、ベースバンドマトリクススイッチと、前記受信装置ごとに当該受信装置と前記ベースバンドマトリクススイッチの入力側との間に設けられる分波回路と、前記送信装置ごとに前記ベースバンドマトリクススイッチの出力側と当該送信装置との間に設けられる合波回路とを有し、

前記各合波回路が、

前記ベースバンドマトリクススイッチから出力される N 本の独立な情報信号に対してそれぞれ 1 個ずつ設けられた複素乗算器を備えて前記各情報信号と前記各複素信号とを 1 対 1 で乗算して N 個の出力信号として出力する第 1 の複素乗算回路と、

N 点の複素フーリエ逆変換演算を行うフーリエ逆変換回路と、

前記第 1 の複素乗算回路の出力と前記フーリエ逆変換回路の入力との間に設けられた N 入力 N 出力の第 1 のスイッチ回路と、

前記フーリエ逆変換回路の N 個の出力にそれぞれ 1 個ずつ設けられフィルタリングを行う第 1 のデジタルサブフィルタと、

前記各第 1 のデジタルサブフィルタの出力にそれぞれ 1 個ずつ設けられた遅延器と、

前記各遅延器の出力を受けてその総和を前記送信装置に対して出力する加算回路と、を有し、

k 番目 ($1 \leq k \leq N$) の遅延器が $(k-1) / f_s$ で表わされる遅延に対応する第 1 のデジタルサブフィルタの出力に与え、

前記各分波回路が、

4

前記受信装置からの複素デジタル数値系列を入力とし前記サンプリング周波数 f_s に同期してシフト動作を行う N 出力のシフトレジスタと、

前記シフトレジスタの各段の出力を前記サンプリング周波数 f_s に同期して標準化する標準化回路と、

前記標準化回路から並列出力される N 個の信号に対してそれぞれ 1 個ずつ設けられた第 2 のデジタルサブフィルタと、

前記各第 2 のデジタルサブフィルタの各出力を入力として N 点の複素フーリエ変換を行うフーリエ変換回路と、

前記フーリエ変換回路の出力に設けられた N 入力 N 出力の第 2 のスイッチ回路と、

N 個の複素乗算器を備えて前記スイッチ回路の各出力と前記各複素信号とを 1 対 1 で乗算して N 個の出力信号として出力する第 2 の複素乗算回路と、を有し、

前記第 2 の複素乗算回路の前記各複素乗算器の出力において周波数分割多重分波された信号を前記ベースバンドマトリクススイッチに供給することを特徴とする可変帯域幅周波数分割多重通信方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、通信や計測分野において広汎に用いられる周波数分割多重化技術に関し、特に、チャネルごとの周波数帯域を可変にして周波数チャネルの分割、多重化を実現する可変帯域幅周波数分割多重 (FDM; Frequency Division Multiplex) システムに関する。

【0002】

【従来の技術】トランスマルチプレкса (TMUX) 技術は、一括デジタル信号処理により、多数の周波数分割多重 (FDM) 信号の分波及び合波を効率的に行う技術であり、通信網において、例えば、周波数分割多重信号と時分割多重 (TDM; TimeDivision Multiplex) 信号の相互変換などに、広汎に用いられている。トランスマルチプレксаの基本的な考えは、下記文献、Maurice G. Bellanger and Jacques L. Daguët, "TDM-FDM Transmultiplexer: Digital Polyphase and FFT", IEEE Trans. s., COM-22, No. 9, September 1974により提案されている。しかしながら、従来のトランスマルチプレксаは、FDMチャネルの周波数間隔を Δf とすると、各チャネルの帯域幅は最大 Δf に制限されてしまうという問題点を有する。現在、マルチメディア通信が注目を集めているが、マルチメディア通信には種々の帯域幅での通信が可能な柔軟な通信路が必要とされており、上述した従来のトランスマルチプレксаは個々のチャネルの周波数帯域が固定されているためにマルチメディア通信には使いにくいものとなっている。このため、可変周波数帯域での通信が可能なトランスマルチプレксаが検討されている。

【0003】例えば、特開昭63-200635号公報には、チャネルクロックの他にチャネルクロックに比べて周波数が m 倍である内挿クロックも発生させるとともに内挿型デジタルサブフィルタを使用し、この内挿型デジタルサブフィルタによって、チャネルクロックと内挿クロックによるタイミングに基づいて所定のフィルタリングを行い、かつ内挿クロックのサンプル速度でフィルタ出力を発生させてフーリエ変換回路に入力させるようにした倍数サンプリング型のトランスマルチプレクサが開示されている。図9はこの特開昭63-200635号公報に示されたトランスマルチプレクサの構成を示すブロック図である。

【0004】このトランスマルチプレクサは、中間周波数(IF)信号が入力であるとして、この中間周波数信号をベースバンド信号に変換するためのローカル発振信号を発生するローカル発振器101と、チャネル間隔が Δf 、多重度が N であるとして $N\Delta f$ の周波数の多重化クロックを発生する多重化クロック発生器109と、多重化クロックを N/m 分周して内挿クロックを発生する N/m 分周器115と、内挿クロックをさらに m 分周してチャネルクロックとする m 分周器116を備えている。一方のミキサ103には、入力である中間周波数信号とローカル発振信号が入力し、他方のミキサ104には中間周波数信号と、 $\pi/2$ 移相器102によって位相が $\pi/2$ だけ遅らされたローカル発振信号が入力している。これら各ミキサ103、104の出力側には、それぞれ、ローパスフィルタ(LPF)105、106を介してA/D(アナログ/デジタル)変換器107、108が設けられている。

【0005】各A/D変換器107、108の出力は、多重化クロックとチャネルクロックとに基づいて、 N サンプルごとに入力時系列を N 個の別個の出力に分離出力するスイッチ回路(信号分岐/標本化回路)111に入力しており、スイッチ回路111の N 個の出力には、それぞれ、遅延器112-1~112- N を介して内挿型デジタルサブフィルタ117-1~117- N が接続している。遅延器112-1~112- N は、入力する信号の到来順序に比例した遅延を与えることによってタイミングの一致したベースバンド信号を発生させるためのものである。そして N 個の内挿型デジタルサブフィルタ117-1~117- N の出力に基づいて N 点の複素高速フーリエ変換(FFT)を実行するFFT回路114が設けられており、FFT回路114の N 個の複素出力がこのトランスマルチプレクサの各チャネル出力となっている。

【0006】内挿型デジタルサブフィルタの構成が図10(a)、(b)に示されている。図10(a)は、 $(N/2)+1 \leq i \leq N$ の場合の内挿型デジタルサブフィルタ117- i の構成を示し、図10(b)は $1 \leq i \leq N/2$ の場合の構成を示している。図10(a)の構成の場合、内挿型デジタルサブフィルタは、入力にそれぞれ接続された

2つのデジタルサブフィルタ121、122と、デジタルサブフィルタ122の出力を遅延させる遅延回路124と、デジタルサブフィルタ121の出力と遅延回路124の出力を加算する加算器126とを有している。同様に、図10(b)の構成の場合、内挿型デジタルサブフィルタは、入力にそれぞれ接続された2つのデジタルサブフィルタ121、123と、デジタルサブフィルタ123の出力を遅延させる遅延回路125と、デジタルサブフィルタ121の出力と遅延回路125の出力を加算する加算器126とを有している。

【0007】このようにして構成した倍数サンプリング型トランスマルチプレクサを用いた可変帯域幅FDM分波回路が、特開昭63-200636号公報に開示されている。図11はこの分波回路の構成を示すブロック図である。この分波回路は、図9に示した倍数サンプリング型トランスマルチプレクサ(TMUX)分波回路221の出力側にスイッチマトリクス222を配置し、スイッチマトリクス222の出力側には、 k 個の信号内挿回路223-1~223- k が設けられている。帯域幅が Δf である信号が $k-5$ 本、帯域幅が $2\Delta f$ である信号と $3\Delta f$ である信号がそれぞれ1本ずつ出力されるものとする。帯域幅が Δf である信号は、各信号内挿回路223-6~223- k からそれぞれ出力される。また、帯域幅が $2\Delta f$ である信号は、2つの信号内挿回路223-1、223-2を用い、これら信号内挿回路223-1、223-2の出力をそれぞれ周波数シフト回路224-1、224-2を介して加算器225-1で加算することにより得られる。加算器225-1の出力側には、アナログローパスフィルタ226-1が挿入されている。同様に、帯域幅が $3\Delta f$ である信号は、3個の信号内挿回路223-3~223-5を用い、これら信号内挿回路223-3~223-5の出力をそれぞれ周波数シフト回路224-3~224-5を介して加算器225-2で加算し、アナログローパスフィルタ226-2を通過させることによって得られる。

【0008】

【発明が解決しようとする課題】上述した従来の倍数サンプリング型トランスマルチプレクサでは、サンプリング周波数が $2\Delta f$ であってチャネルごとの信号の帯域幅が Δf に限定されるので、チャネルの多重化を行うためには帯域幅の広帯域化が必要となり、そのためにサンプリング周波数を上昇させた信号系列への変換、すなわち内挿動作が必要となる。このため、内挿回路が必要となって回路規模が大きくなってしまいう問題点がある。さらに、上述した従来の倍数サンプリング型を用いたチャネル多重化装置は、信号内挿回路や周波数シフト回路を有するために回路規模が大きく、回路規模を抑えようとして周波数シフト回路などを一部のチャネルのみに配備すると、任意の周波数位置にあるチャネルの広帯域化を実現するためには $N \times N$ 完全マトリクススイッチを必要とし、結局、回路規模が大きくなるという問題点

がある。

【0009】本発明の目的は、上述の従来技術の欠点を克服し、内挿回路を必要とせず、かつ簡単な構造のスイッチを用いて完全に帯域幅可変の通信を実現できる可変帯域幅周波数分割多重通信方式を提供することにある。

【0010】

【課題を解決するための手段】本発明の可変帯域幅周波数分割多重通信方式は、合波回路を含む送信側装置と分波回路を含む受信側装置とを有し、チャンネル周波数間隔が Δf であり、かつチャンネル周波数間隔よりも広帯域のチャンネルを設定できる可変帯域幅周波数分割多重通信方式において、以下のように、合波回路及び／または分波回路を構成したものである。

【0011】まず、合波回路においては、チャンネル周波数間隔 Δf の自然数倍のサンプリング周波数 f_s を発生する標本化タイミング発生回路と、送信されるべきN本の独立な送信情報信号に対して個別に設けられ、サンプリング周波数 f_s に応じて対応する送信情報信号を標本化し、デジタル信号に変換するA/D変換器と、kを0からN-1までの各整数として、周波数がそれぞれチャンネル周波数間隔 Δf のk倍である複素信号を発生する複素局部発振回路と、N個の複素乗算器を備えて各A/D変換器の出力と各複素信号とを1対1で乗算してN個の出力信号として出力する複素乗算回路と、N点の複素フーリエ逆変換演算を行うフーリエ逆変換回路と、複素乗算回路の出力とフーリエ逆変換回路の入力との間に設けられたN入力N出力のスイッチ回路と、フーリエ逆変換回路のN個の出力にそれぞれ1個ずつ設けられフィルタリングを行うデジタルサブフィルタと、各デジタルサブフィルタの出力にそれぞれ1個ずつ設けられた遅延器と、各遅延器の出力を受けてその総和を出力する加算回路と、を有し、k番目(1 \leq k \leq N)の遅延器が(k-1)/ f_s で表わされる遅延を対応するデジタルサブフィルタの出力に与えることを特徴とする。

【0012】この合波回路が出力する複素標本系列は、例えば、高速D/A変換回路で複素連続信号に変換した後直交振幅変調回路に入力して搬送波を直交振幅変調するために使用すればよい。また、スイッチ回路としては、例えば、3入力1出力のN個のスイッチ素子を有し、k番目のスイッチ素子の第1の入力端子がスイッチ回路のk-1番目の入力端子に接続し、k番目のスイッチ素子の第2の入力端子がスイッチ回路のk番目の入力端子に接続し、k番目のスイッチ素子の第3の入力端子がk+1番目のスイッチ素子の出力端子に接続し、k番目のスイッチ素子の出力端子がスイッチ回路のk番目の出力端子に接続しているものを使用できる。このようなスイッチ回路を用いることにより、スイッチ回路のk番目の入力をk番目の出力端子に出力できるとともに、k \pm 1番目の出力端子にも出力できるようになる。

【0013】また、ベースバンドの信号に変換されディ

ジタル化された受信信号が入力する分波回路においては、チャンネル周波数間隔 Δf の自然数倍のサンプリング周波数 f_s を発生する標本化タイミング発生回路と、デジタル化された受信信号による複素デジタル数値系列を入力としサンプリング周波数 f_s に同期してシフト動作を行うN出力のシフトレジスタと、シフトレジスタの各段の出力をサンプリング周波数 f_s に同期して標本化する標本化回路と、標本化回路から並列出力されるN個の信号に対してそれぞれ1個ずつ設けられたデジタルサブフィルタと、各デジタルサブフィルタの各出力を入力としてN点の複素フーリエ変換を行うフーリエ変換回路と、フーリエ変換回路の出力に設けられたN入力N出力のスイッチ回路と、kを0からN-1までの各整数として、周波数がそれぞれチャンネル周波数間隔 Δf のk倍である複素信号を発生する複素局部発振回路と、N個の複素乗算器を備えてスイッチ回路の各出力と各複素信号とを1対1で乗算してN個の出力信号として出力する複素乗算回路と、各複素乗算器ごとに設けられたD/A変換器と、を有し、各D/A変換器の出力において周波数分割多重分波された信号を得ることを特徴とする。

【0014】この分波回路への入力としては、例えば、受信中間周波数信号を直交振幅復調回路で直交振幅復調したのちにA/D変換回路によってサンプリング周波数 f_s で標本化しデジタル化したものを使用することができる。また、スイッチ回路としては、例えば、1入力3出力のN個のスイッチ素子と、N個の第1の加算器と、N個の第2の加算器とを有し、k番目の第2の加算器はk+1番目のスイッチ素子の第1の出力端子の値とk番目のスイッチ素子の第2の出力端子の値を加算してスイッチ回路のk番目の出力端子に出力し、k番目の第1の加算器はk-1番目のスイッチ素子の第3の出力端子の値とスイッチ回路のk番目の入力端子の値とを加算してk番目のスイッチ素子の入力端子に入力させるものを使用できる。このようなスイッチ回路を構成することにより、スイッチ回路のk番目の入力端子への入力をそのままk番目の出力端子に出力できるとともに、k-1番目、k番目及びk+1番目の各入力端子への入力の和をk番目の出力端子に出力することが可能になる。

【0015】本発明の可変帯域幅周波数分割多重通信方式において、サンプリング周波数 f_s としては、例えば $N\Delta f$ を用いることができる。また、複素局部発振回路としては、N式のダイレクトデジタルシンセサイザを使用できる。さらに、各デジタルサブフィルタが全体として一つのデジタルフィルタをなし、その周波数特性が周波数 $\Delta f/2$ において折り返し重畳すると[0, Δf]なる周波数領域において完全に平坦となるような特性であるものを用いることが可能である。

【0016】さらに本発明は、各地域ごとに対応して別個に設けられるアンテナを有する中継局を使用して多元接続を行い、複数の地域間での完全接続を提供する可変

帯域幅周波数分割多重通信方式にも適用できる。その場合には、中継局内に、アンテナごとに設けられた受信装置及び送信装置と、ベースバンドマトリクススイッチとを設けた上で、受信装置ごとに当該受信装置とベースバンドマトリクススイッチの入力側との間に本発明の分波回路を設け、送信装置ごとにベースバンドマトリクススイッチの出力側と当該送信装置との間に本発明の合波回路を設けるようにすればよい。標本化タイミング発生回路及び複素局部発振回路は、各分波回路及び合波回路で共用すればよい。

【0017】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。図1は、本発明の実施の一形態の可変帯域幅周波数分割多重通信方式の構成を示すブロック図である。この多重通信方式は、送信側装置81と受信側装置82とを回線83で接続した構成である。送信側装置81には、N本の独立な送信情報信号を入力として本発明に基づくトランスマルチプレクサによってこれを合波する合波回路91と、合波回路91の出力に対して高速のデジタル／アナログ変換を行う高速D／A変換回路44と、搬送波を出力するローカル発振器40と、高速D／A変換回路44の出力により搬送波を直交振幅変調（QAM）するための直交振幅変調回路92と、直交変調振幅回路92の出力を受信側装置91に向けて回線83を介して出力するための送信部93とが設けられている。一方、受信側装置82は、送信側装置81から送られてきた伝送信号を受信して受信IF（中間周波数）信号とする受信部94と、送信側装置81内のローカル発振器40とほぼ同じ周波数のローカル発振信号を発生するローカル発振器45と、ローカル発振信号により受信IF信号を直交振幅復調（QAD）するための直交振幅復調回路95と、サンプリング周波数 f_s によって直交振幅復調回路95の出力を標本化してデジタル信号に変換するA／D変換回路46と、サンプリング周波数 f_s の信号をA／D変換回路46に供給するとともに本発明に基づくトランスマルチプレクサによってA／D変換回路46の出力をN個の情報信号に分波する分波回路96とを有している。サンプリング周波数 f_s は、チャンネルの周波数間隔を Δf とすると、通常は、 $f_s = N \Delta f$ であるように設定される。このサンプリング周波数 f_s は、送信側装置81と受信側装置82とでそれぞれ独立に発生する。

【0018】まず、送信側装置（可変帯域幅送信装置）81に配置される合波回路91の構成を図2を用いて説明する。

【0019】サンプリング周波数 f_s の信号を発生する標本化タイミング発生器1と、N個の独立した送信情報信号をそれぞれサンプリング周波数 f_s で標本化してデジタル化するためのN個のA／D（アナログ／デジタル）変換器5が設けられている。また、サンプリング

周波数 f_s に基づき $k \Delta f$ の周波数（ $k = 0, 1, \dots, N-1$ ）のN個の複素ローカル信号をデジタル値として発生するN式の複素局部発振回路4が設けられている。複素ローカル信号の複素とは、余弦成分と正弦成分とを同時に発生することを意味する。各A／D変換器3の出力には、それぞれ、複素乗算器5が接続されており、各複素乗算器5には、対応するA／D変換器3の出力信号のほか、複素局部発振回路4からの複素ローカル信号〔周波数 $= 0, \Delta f, 2 \Delta f, \dots, (N-1) \Delta f$ 〕が入力する。

すなわち、 i （ $1 \leq i \leq N$ ）番目の送信情報信号は i 番目のA／D変換器3に入力してデジタル信号に変換され、 i 番目の複素乗算器5において、周波数が $(i-1) \Delta f$ である複素ローカル信号と乗算されることになる。

【0020】これらN個の複素加算器5からの出力は、制御部8によって制御されるスイッチ回路（スイッチマトリクス）6に入力する。スイッチマトリクスには、3入力1出力のスイッチ素子7がN個含まれており、各スイッチ素子7の入力端子を S_1, S_2, S_3 とすると、 i

（ $1 \leq i \leq N$ ）番目の複素加算器5の出力は、 i 番目のスイッチ素子7の S_2 入力端子と $i+1$ 番目のスイッチ素子7の S_3 入力端子に入力する。また、 i 番目のスイッチ素子7の S_1 入力端子は、 $i+1$ 番目のスイッチ素子7の出力端子に接続している。ただし、 $i+1 > N$ であれば、該当する配線は行われぬ。これらスイッチ素子7は、制御部8によって、個別に入力端子 S_1, S_2, S_3 が切り替えられる。

【0021】各スイッチ素子7からの出力が入力してN点の高速複素フーリエ逆変換演算を行うIFFT回路9が設けられている。IFFT回路9には、サンプリング周波数 f_s が供給されている。IFFT回路9のN個の（複素）出力には、それぞれ、デジタルサブフィルタ $10-1 \sim 10-N$ を介して遅延器 $11-1 \sim 11-N$ が接続されている。各デジタルサブフィルタ $10-1 \sim 10-N$ と各遅延器 $11-1 \sim 11-N$ にはサンプリング周波数 f_s が供給されている。 i 番目のデジタルサブフィルタ $10-i$ は、伝達特性が $G_{i-1}(Z^N)$ で表わされるフィルタリングを行うものであって、これらN個のデジタルサブフィルタ $10-1 \sim 10-N$ が集合してデジタルフィルタ回路を構成している。一方、 i 番目の遅延器 $11-i$ は、 $(i-1)/\Delta f$ で表わされる遅延時間を与えるものである。これらN個の遅延器 $11-1 \sim 11-N$ が集合して遅延回路を構成している。そして、各遅延器 $11-1 \sim 11-N$ からの（複素）出力は加算回路12によって総和を算出され、複素標本系列として高速D／A変換回路44（図1）に入力し、高速D／A変換回路44で複素連続信号に変換されて直交振幅変調回路92（図1）に入力する。

【0022】次に、受信側装置（可変帯域幅受信装置）82に配置される分波回路96の構成を図3を用いて説明する。

【0023】合波回路91の標準化タイミング発生器1とはほぼ同じ周波数の信号を発生する標準化タイミング発生器13が設けられている。両方の標準化タイミング発生器1, 13の発生する周波数はほぼ同じであるので、この分波回路96中の標準化タイミング発生器13の発生する周波数もサンプリング周波数 f_s としている。直交振幅復調回路95(図1)からの複素出力が、A/D変換回路48(図1)においてサンプリング周波数 f_s に基づき標準化及びデジタル化され、複素デジタル数値系列として、シフトレジスタ27に入力する。このシフトレジスタ17は、サンプリング周波数 f_s によって駆動される1入力N出力のものであって、このシフトレジスタ27の各段の(複素)出力には、それぞれ、サンプリング周波数 f_s に基づいて標準化を行う標準化回路26-1~26-Nを介して、デジタルサブフィルタ25-1~25-Nが接続されている。i番目のデジタルサブフィルタ25-1は、基本フィルタ $H_{i-1}(Z^N)$ で表わされるフィルタリングを行うものであって、これらN個のデジタルサブフィルタ25-1~25-Nが集合してデジタルフィルタ回路を構成している。

【0024】各デジタルサブフィルタ25-1~25-NからのN並列の複素出力(複素数値系列)に対してN点の高速複素フーリエ変換を行うFFT回路24が設けられており、FFT回路24の出力側には、制御部19によって制御されるスイッチ回路22が設けられている。スイッチ回路22は、FFT回路24の各出力ごとに設けられた合計N個の第1の加算器16と、各加算器16の出力をそれぞれ入力とし、いずれも1入力3出力のN個のスイッチ素子17と、スイッチ素子17の出力側にそれぞれ配置された合計N個の第2の加算器18から構成されている。スイッチ素子17の出力端子を T_1, T_2, T_3 とすると、i番目の第1の加算器16は、FFT回路24のi番目の複素出力とi-1番目のスイッチ素子17の T_3 出力とを加算して、i番目のスイッチ素子17に出力する。また、i番目の第2の加算器18は、i番目のスイッチ素子17の T_2 出力とi+1番目のスイッチ素子17の T_1 出力とを加算して出力する。ただし、 $i+1 > N$ や $i-1 < 0$ であれば、該当する配線は行われない。これらスイッチ素子17は、制御部19によって、個別に入力端子 S_1, S_2, S_3 が切り替えられる。

【0025】また、合波回路81の場合と同様に、サンプリング周波数 f_s に基づき $k \Delta f$ の周波数($k=0, 1, \dots, N-1$)のN個の複素ローカル信号を発生するN式の複素局部発振回路14が設けられている。各第2の加算器18の出力には、それぞれ、複素乗算器21が接続されており、各複素乗算器21には、対応する第2の加算器18の出力信号のほか、複素局部発振回路14からの複素ローカル信号[周波数= $0, \Delta f, 2 \Delta f, \dots, (N-1) \Delta f$]が入力している。そして、各複素乗算器21の出力には、それぞれ、サンプリング周波数 f_s に

基づいてデジタル/アナログ変換を行うD/A変換器20が設けられている。すなわち、N個のD/A変換器20のうちi番目のD/A変換器20からの出力信号(情報信号)は、i番目の第2の加算器18の複素出力に対してi番目の複素乗算器21において周波数が $(i-1) \Delta f$ の複素ローカル信号が乗算された信号をアナログ化した信号である。

【0026】複素局部発振回路4, 14の構成例が図4に示されている。本実施の形態において、複素局部発振回路4, 14はいずれもダイレクトデジタルシンセサイザ(DDS; Direct Digital Synthesizer)として構成されており、出力すべき各周波数の複素ローカル信号ごとに、Dフリップフロップ30と余弦(cos)成分用の波形発生用テーブル回路31と正弦(sin)成分用の波形発生用テーブル回路32と加算器33とを有している。各Dフリップフロップ30のクロック(C)端子にはクロック(例えば、サンプリング周波数 f_s)が共通に与えられている。また、各複素ローカル周波数ごとのブロックにおいて、そのブロックで発生すべき複素ローカル周波数が $k \Delta f$ であるとして、加算器33には $k \Delta f / f_s$ に該当する数値とDフリップフロップ30のQ出力とが入力し、加算器33によるこれらの加算結果は、Dフリップフロップ30のD端子に入力する。また、Dフリップフロップ30のQ出力端子は、各波形発生用テーブル回路31, 32の入力にも接続している。波形発生用テーブル回路31, 32はルックアップテーブル形式のものであって、例えばROM(読み出し専用メモリ)からなる。このように各複素ローカル周波数ごとのブロックを構成することにより、共通クロックの供給を受けてそれぞれのブロックで、複素ローカル信号が波形での瞬時値をデジタル値で表わした信号として発生する。なお、 $(N-1) \Delta f$ は $-\Delta f$ 等価であり、このようにして、複素局部発振回路4, 14は、周波数が $0, \Delta f, 2 \Delta f, \dots, (N-1) \Delta f$ である各複素ローカル信号を生成する。

【0027】次に、直交振幅変調(QAM)回路92及び直交振幅復調(QAD)回路95の構成を説明する。図5(a)は直交振幅変調回路92の構成を示し、図5(b)は直交振幅復調回路95の構成を示している。

【0028】本実施の形態では、合波回路91から出力される信号、分波回路92に入力する信号は、いずれも、複素デジタル信号である。そこで、図5(a)に示しように、合波回路91からの複素デジタル信号は、高速D/A変換回路44によって、実数成分と虚数成分にそれぞれ対応する2成分のアナログ信号に変換され、直交振幅変調回路92に入力する。図5(a)で高速D/A変換回路44が2つ描かれているのは、複素デジタル信号の実数成分、虚数成分をそれぞれ変換するためである。直交振幅変調回路92は、ローカル発振器40からのローカル発振信号(搬送波)の位相を $\pi/2$ だけず

らして出力する $\pi/2$ 移相器 4 1 と、高速 D/A 変換回路 4 4 からの 2 成分のアナログ信号がそれぞれ入力する 2 つのミキサ 4 2 と、これら 2 つのミキサ 4 2 の出力を合波する合波器（コンバイナ）4 3 とによって構成され、一方のミキサ 4 2 にはローカル発振信号がそのまま供給され、他方のミキサ 4 2 には $\pi/2$ 移相器 4 1 の出力が供給されている。

【0029】同様に、図 5 (b) に示すように、複素振幅復調回路 9 5 は、ローカル発振器 4 5 からのローカル発振信号の位相を $\pi/2$ だけずらして出力する $\pi/2$ 移相器 4 6 と、受信部 9 4（図 1 参照）からの受信 I F 信号が共通に入力する 2 つのミキサ 4 7 とを有し、一方のミキサ 4 7 にはローカル発振信号がそのまま供給され、他方のミキサ 4 7 には $\pi/2$ 移相器 4 6 の出力が供給されている。各ミキサ 4 7 の出力はそれぞれ A/D 変換回路 4 8 で標準化及びデジタル化され、複素デジタル信号として分波回路 9 6 に供給される。図 5 (b) で A/D 変換回路 4 8 が 2 つ描かれているのは、2 つのミキサ 4 7 がそれぞれ実数成分と虚数成分に対応しているのに呼応して、複素デジタル信号の実数成分と虚数成分とをそれぞれ出力するためである。

【0030】次に、この可変帯域幅周波数分割多重通信方式の動作について説明する。まず、送信側装置 8 1 内での処理を説明する。

【0031】合波回路 9 1 において、標準化タイミング発生器 1 がサンプリング周波数 f_s でサンプリングパルスを発生すると、各 A/D 変換器 3 で各チャンネルの送信情報信号が標準化されてデジタル信号に変換される。送信されるべき k 番目のチャンネルの入力信号（情報通信信号）を $x_k(t)$ で表わすことにすると（ $k = 0, 1, 2, \dots, N-1$ ）、各 A/D 変換器 3 において標準化されて出力される信号は、

【0032】

【数 1】

$$x_k(Z) = \sum_m x_k(m) Z^{-m} \quad (1)$$

で表わされる。ただし、 $x_k(m)$ は、 $x_k(t)$ の第 m 番目の標本値（サンプリングされた値）であり、 Z は

【0033】

【数 2】

$$Z = \exp(j\omega/f_s) \quad (2),$$

$$\omega = 2\pi f \quad (3)$$

$$\begin{aligned} Y_k(Z; k) &= \sum_{i=0}^{N-1} \exp(ji\omega_k/f_s) Z^{-i} G_i(Z^N) x_k(\exp(-j\omega_k/f_s)) \\ &= \sum_{i=0}^{N-1} \exp(j2\pi ki/N) Z^{-i} G_i(Z^N) x_k(\exp(-j2\pi k/N) \cdot Z) \end{aligned} \quad (11)$$

となる。ここで

【0041】

であり、 j は虚数単位であり、 f は周波数変数である。

【0034】ここで、各チャンネルの信号を帯域制限するチャンネルフィルタの特性を

【0035】

【数 3】

$$G(Z) = \sum_{\ell=0}^{L-1} g(\ell) Z^{-\ell} \quad (4)$$

で表わす。この式(4)は、次式のように変形される。

【0036】

10 【数 4】

$$G(Z) = \sum_{i=0}^{N-1} Z^{-i} G_i(Z^N) \quad (5)$$

ただし、

$$G_i(Z^N) = \sum_{\ell=0}^{L/N-1} Z^{-i} g(\ell'N+i) Z^{-N\ell'} \quad (6)$$

各チャンネルの信号をチャンネルフィルタ $G(z)$ を通した上でそれぞれに指定された周波数位置に移動した上で、全チャンネルの信号を加え合わせれば、周波数分割多重された送信信号が得られることになる。例えば、第 k チャンネルの信号は、

【0037】

【数 5】

$$\omega_k = k \cdot 2\pi \cdot \Delta f \quad (7)$$

$$\Delta f = f_s/N \quad (8)$$

なる周波数位置に移動させる。各チャンネルの入力信号 $x_k(Z)$ をチャンネルフィルタ $G(z)$ で帯域制限した結果 $Y_k(Z)$ は以下のように表わされる。

【0038】

30 【数 6】

$$\begin{aligned} Y_k(Z) &= G(Z) x_k(Z) \\ &= \sum_{i=0}^{N-1} Z^{-i} G_i(Z^N) x_k(Z) \end{aligned} \quad (9)$$

これを ω_k に周波数移動するには、

【0039】

【数 7】

$$Z \rightarrow \exp(-j\omega_k/f_s) \cdot Z \quad (10)$$

なる変数変換を行えばよい。その結果は

【0040】

40 【数 8】

15

$$\frac{\omega_k}{f_s} = 2\pi k \frac{\Delta f}{f_s} = \frac{2\pi}{N} k \quad (12)$$

を用いた。

【0042】式(11)の各チャネルを $k = 0 \sim N-1$ につ

$$\begin{aligned} Y(Z) &= \sum_{k=0}^{N-1} Y_k(Z; k) \\ &= \sum_{i=0}^{N-1} Z^{-i} G_i(Z^N) \sum_{k=0}^{N-1} \exp(j2\pi ki/N) x_k(\exp(-j2\pi k/N) \cdot Z) \end{aligned} \quad (13)$$

加算 デジタルフィルタ 逆FFT

このようにして合波動作を行うものが図2に示す合波回路91である。各A/D変換器3によってデジタル値に変換された入力信号系列は、複素局部発振回路4と各複素乗算器5により周波数変換される。それが式(13)の

$$\begin{aligned} & \text{【0044】} \\ & \text{【数11】} \\ & x_k(Z) \rightarrow x_k(\exp(-j2\pi k/N) \cdot Z) \end{aligned} \quad (14)$$

なる変換に相当する。

【0045】そして、このように周波数変換された入力信号系列はIFFT回路9で複素フーリエ逆変換演算され、デジタルサブフィルタ10-1~10-Nでフィルタリングされ、遅延器11-1~11-Nを経由して、加算回路12で総加算動作が施される。これらの処理と式(13)の右辺との対応関係は明らかであろう。

【0046】このようにして得られた送信出力 $Y(Z)$ は、複素デジタル信号であり、高速D/A変換回路44でアナログ信号に変換された後、直交振幅変調回路92で直交振幅変調信号となって、送信部93から受信側装置82に送信される。

【0047】次に、受信側装置82内での処理について説明する。受信部94で受信した信号は中間周波数の受信IF信号となり、直交振幅復調回路95で復調され、A/D変換回路48で複素デジタル信号に変換されて分波回路96に入力する。

【0048】ここで、分波回路96に入力する信号を

$$\begin{aligned} & \text{【0049】} \\ & \text{【数12】} \\ & R(Z) = \sum_n r(n) Z^{-n} \end{aligned} \quad (15)$$

$$\begin{aligned} & H(Z) \cdot R(Z; -k) \\ &= Z^{-(N-1)} \sum_m Z^{-m} \cdot \exp(-j2\pi km/N) \cdot \sum_{i=0}^{N-1} \exp(-j2\pi ki/N) H_{N-1-i}(Z^N) r(m+i) \end{aligned} \quad (18)$$

周波数シフト FFT デジタルフィルタ シフトレジスタ

と表わされる。

【0055】このようにして周波数分波を行うのが分波回路96である。A/D変換回路48から分波回路96に入力した複素デジタル信号は、シフトレジスタ27と標本化回路26-1~26-NによってN本の複素ディジ

16

いて加え合わせたものが送信出力 $Y(Z)$ となる。

【0043】
【数10】

とする。周波数分波するとは、 k ($k = 0, 1, 2, \dots, N-1$) チャネルの信号に対して $\omega_k \rightarrow 0$ なる周波数移動を行い、それに引続いて所定のローパスフィルタで低域成分を選択することである。ここでの周波数変換(周波数移動)は、

$$\begin{aligned} & \text{【0050】} \\ & \text{【数13】} \\ & Z \rightarrow Z \cdot \exp(j2\pi k/N) \end{aligned} \quad (16)$$

なる変換で表わされる。その結果を $R(z; -k)$ と表わすと、

$$\begin{aligned} & \text{【0051】} \\ & \text{【数14】} \\ & R(Z; -k) = \sum_n \exp(-j2\pi kn/N) r(n) Z^{-n} \end{aligned} \quad (17)$$

となる。

【0052】これをローパスフィルタ $H(Z)$ で取り出せば、 k 番目のチャネルに対する選択出力が得られる。フィルタ $H(Z)$ は、

$$\begin{aligned} & \text{【0053】} \\ & \text{【数15】} \\ & H(Z) = \sum_{\ell=0}^{L-1} h(\ell) Z^{-\ell} \\ &= \sum_{i=0}^{N-1} Z^{-i} H_i(Z^N) \\ &= Z^{-(N-1)} \sum_{i=0}^{N-1} Z^i H_{N-1-i}(Z^N) \end{aligned} \quad (18)$$

と表わされ、求める出力は、

【0054】
【数16】

タル信号に分けられ、デジタルサブフィルタ25-1~25-NによってフィルタリングされてFFT回路24に入力し、高速複素フーリエ変換が施される。結局、シフトレジスタ27からFFT回路24の出力端までによって、フィルタバンクが形成されていることになる。

【0056】FFT回路24のk番目の出力は、中心周波数を ω_k とし、基本フィルタ $H(Z)$ によって表わされるバンドパスフィルタ特性を示している。そこで、FFT回路24の出力のうち相隣り合うチャンネルをスイッチ回路22によって加え合わせることにによって、種々の周波数特性のフィルタバンクを構成することが可能になる。同様に、送信側装置81のスイッチ回路6においても、スイッチ素子7の操作によって、チャンネル間隔 Δf よりも広帯域の信号を隣接する複数のチャンネルに分配することが可能になる。以上より、チャンネル間隔 Δf よりも広帯域の信号をこの可変帯域幅周波数分割多重通信方式によって伝送できることになる。図6は、各スイッチ回路6、22でのスイッチ素子7、17の動作を模式的に示す図である。各スイッチ素子7、17は上述したように3:1のスイッチである。そこで、送信側のスイッチ回路6において、図6(a)に示すように、各スイッチ素子7がそれぞれ S_2 入力を選択するようにすれば、各入力をそのままIFFT回路9に与えることができる。また、図6(b)に示すように、隣接する3個のスイッチ素子7が同じ入力を選択するようにすれば、1つの信号がIFFT回路の3つの入力に同時に入り、その結果、この1つの信号が3チャンネル分の帯域幅を持つものとして扱われ、帯域的には3分されて3つのデジタルサブフィルタから加算回路12に出力されることになる。一方、受信側のスイッチ回路22では、図6(c)に示すように、各スイッチ素子17がそれぞれ T_2 出力を選択するようにすれば、FFT回路24からの各入力をそのまま出力することができる。また、図6(d)に示すように各スイッチ素子17を制御すれば、隣接するチャンネルの信号を加え合わせてスイッチ回路22の対応する1つの出力端子に出力することもできる。図6(b)と図6(d)のスイッチ配置を組み合わせることにより、3チャンネル分の信号の伝送が可能になる。

【0057】図7は、本実施の形態において、周波数帯域がチャンネル間隔 Δf を越えて広がることの原理を示す図である。各チャンネルの基本フィルタ $H(Z)$ の特性として、図7(a)に示すように、 Δf だけ中心周波数がずれたフィルタを加え合わせたときに周波数特性が平坦になるようなものを使用する。すなわち、合波回路91のデジタルサブフィルタ10-1~10-Nも、分波回路96のデジタルサブフィルタ25-1~25-Nも、いずれも、全体としては1つのデジタルフィルタをなし、その周波数特性が周波数 $\Delta f/2$ において折り返し重畳すると $[0, \Delta f]$ なる周波数領域において完全に平坦となるような特性となるようにする。このような特性のフィルタは、ナイキスト周波数を $\Delta f/2$ とするナイキスト型周波数特性のフィルタであり、通信網では幅広く使用されている。このような特性の基本フィルタを設定しておけば、隣接するmチャンネルを加え合わせることににより、帯域幅がm倍となりしかも伝送路特性が平坦となる

可変フィルタバンクを構成できる。例えば、図7(b)に示すように連続する3チャンネル(Ch_1, Ch_0, Ch_{-1})を加え合わせることにによって、3チャンネル分の帯域幅を獲得でき、また、図7(c)に示すように連続する2チャンネル(Ch_0, Ch_{-1})を加え合わせることにによって、2チャンネル分の帯域幅を獲得できる。

【0058】次に、本実施の形態の可変帯域幅周波数分割多重方式の典型的な応用として、サテライトスイッチド周波数分割多元接続方式に応用した例について、図8を用いて説明する。

【0059】ここでは、通信衛星上の中継局50を考え、この通信衛星の第1のビームに対応するアンテナ51と第2のビームに対応するアンテナ52がこの通信衛星に設けられており、2つのビーム間でベースバンドスイッチマトリクス53を使用してチャンネル間の完全接続を行う場合を説明する。第1のビーム及び第2のビームはそれぞれ異なる地域に対応しているものとする。各アンテナ51、52には、それぞれ送受信波を共用するための分波器(DPX)54、55が接続され、各分波器54、55には、送信装置(TX)56、57及び受信装置(RX)58、59がそれぞれ接続されている。そして、各送信装置56、57とベースバンドスイッチマトリクス53の間には、それぞれ、図2に示す合波回路と同構成の合波回路(TMUX)60、61が設けられている。同様に、各受信装置58、59とベースバンドマトリクススイッチ53の間には、それぞれ、図3に示す分波回路と同構成の分波回路(TDUX)62、63が設けられている。なお、合波回路60、61及び分波回路62、63が同じ中継局50内に設けられているので、標準化タイミング発生器や複素局部発振回路はこれら合波回路60、61及び分波回路62、63で共用することができる。さらに、ベースバンドスイッチ53は、通常、デジタル信号処理回路で構成されるため、合波回路60、61の入力側のD/A変換器は不要であり、同様に分波回路62、63の出力側のA/D変換器は不要である。この中継局50は、上述したように構成したことにより、ベースバンドマトリクススイッチ53を介して第1のビームと第2のビームの間でチャンネル間の可変帯域幅での完全接続が可能な多元接続を実現する。したがって、小型軽量でかつ帯域幅が可変な通信路を設定することができる。

【0060】

【発明の効果】以上説明した本発明は、ステップ周波数(チャンネル周波数間隔)が Δf である狭帯域通信網からその整数倍の帯域幅の平坦な周波数特性を有する可変帯域幅通信網を構成することができるとともに、フィルタバンクをデジタル信号処理(DSP)技術で実現しているので、極めて正確な特性を、小型軽量、低消費電力で信頼性の高い装置により実現できるという効果がある。

【図面の簡単な説明】

【図 1】本発明の実施の一形態の可変帯域幅周波数分割多重通信方式の構成を示すブロック図である。

【図 2】送信側装置内の合波回路として使用されるトランスマルチプレクサの構成を示すブロック図である。

【図 3】受信側装置内の分波回路として使用されるトランスマルチプレクサの構成を示すブロック図である。

【図 4】複素局発振回路の構成例を示すブロック図である。

【図 5】(a)は直交振幅変調 (QAM) 回路の構成を示すブロック図、(b)は直交振幅復調 (QAD) 回路の構成を示すブロック図である。

【図 6】(a), (b)は合波回路内のスイッチ回路の動作を説明する図、(c), (d)は分波回路内のスイッチ回路の動作を説明する図である。

【図 7】(a)~(c)は、図 1 の可変帯域幅周波数分割多重通信方式におけるフィルタの周波数特性を示す図である。

【図 8】図 1 の可変帯域幅周波数分割多重通信方式を利用したサテライトスイッチ型周波数分割多元接続方式を示すブロック図である。

【図 9】従来の倍数サンプリング型トランスマルチプレクサの構成を示すブロック図である。

【図 10】(a), (b)は、図 9 の倍数サンプリング型トランスマルチプレクサで使用される内挿型デジタルサブフィルタの構成を示すブロック図である。

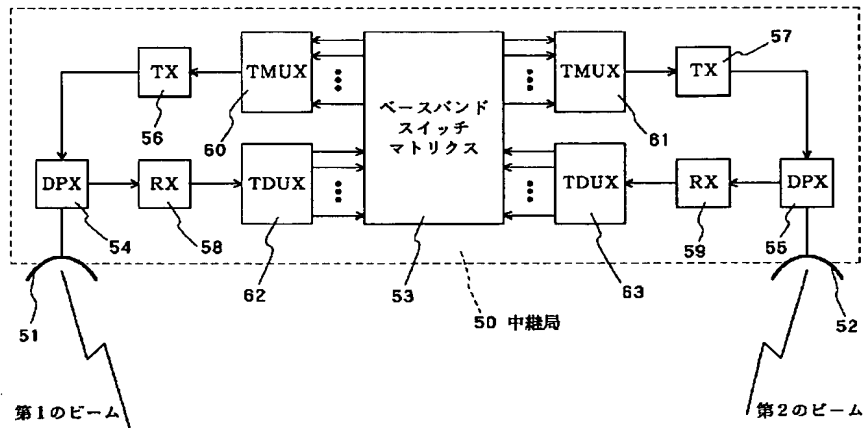
【図 11】従来の可変帯域幅 FDM 分波回路の構成を示すブロック図である。

【符号の説明】

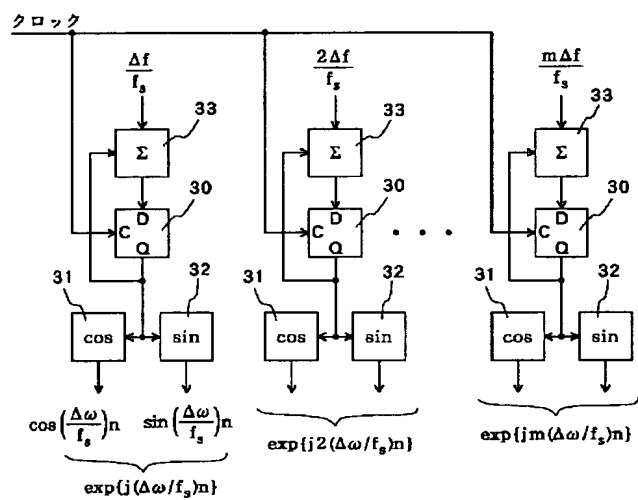
1, 13 標本化タイミング発生回路
3 A/D変換器
4, 14 複素局発振回路
5, 21 複素乗算器
6, 22 スイッチ回路

7, 17 スイッチ素子
8, 19 制御部
9 逆FFT回路
10-1~10-N, 25-1~25-N デジタルサブフィルタ
11-1~11-N 遅延器
12 加算回路
16, 18, 33 加算器
20 D/A変換器
24 FFT回路
26-1~26-N 標本化回路
27 シフトレジスタ
30 Dフリップフロップ
31, 32 波形発生用テーブル回路
40, 45 ローカル発振器
41, 46 $\pi/2$ 移相器
42, 47 ミキサ
43 合波器
44 高速D/A変換回路
48 A/D変換回路
50 中継局
51, 52 アンテナ
53 ベースバンドスイッチマトリクス
54, 55 分波器
56, 57 送信装置
58, 59 受信装置
60, 61, 91 合波回路
62, 63, 96 分波回路
81 送信側装置
82 受信側装置
92 直交振幅変調回路
93 送信部
94 受信部
95 直交振幅変調回路

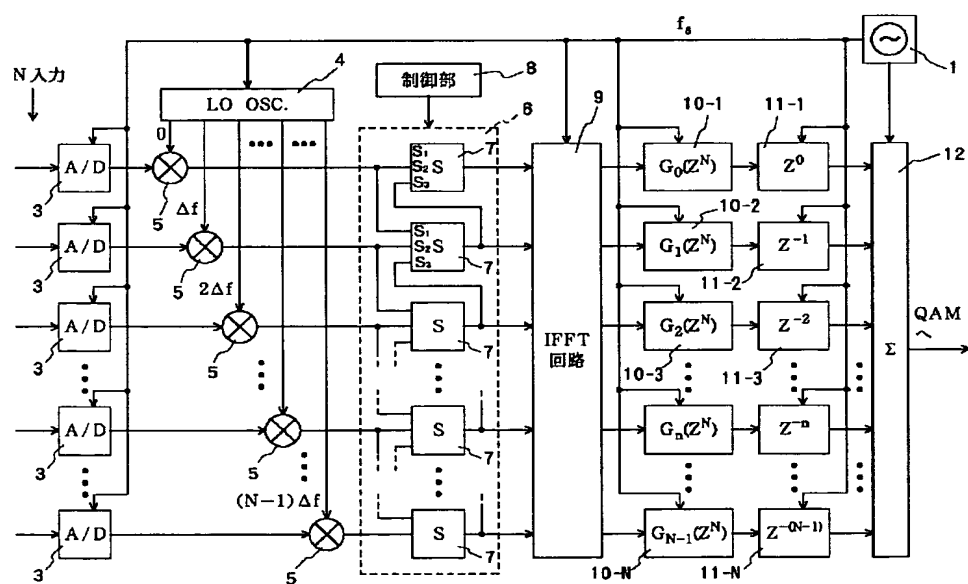
【図 8】



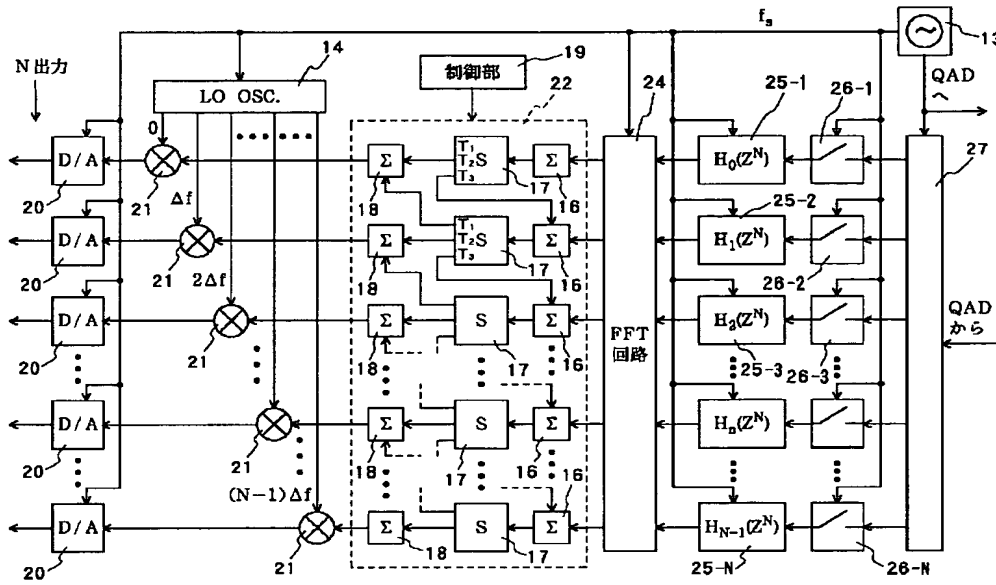
【図 4】



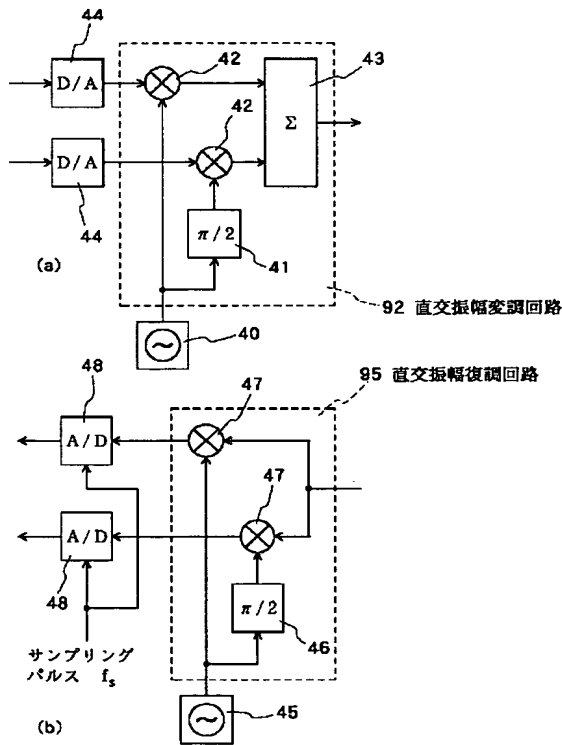
【図 2】



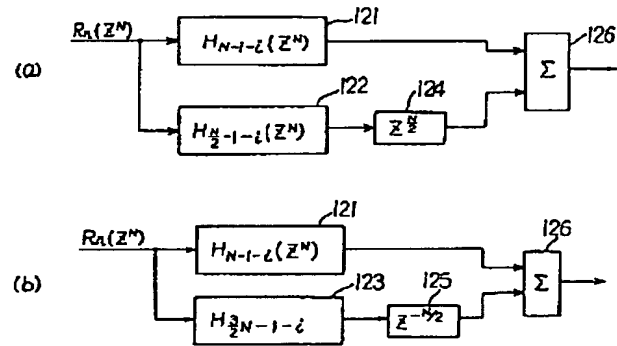
【図 3】



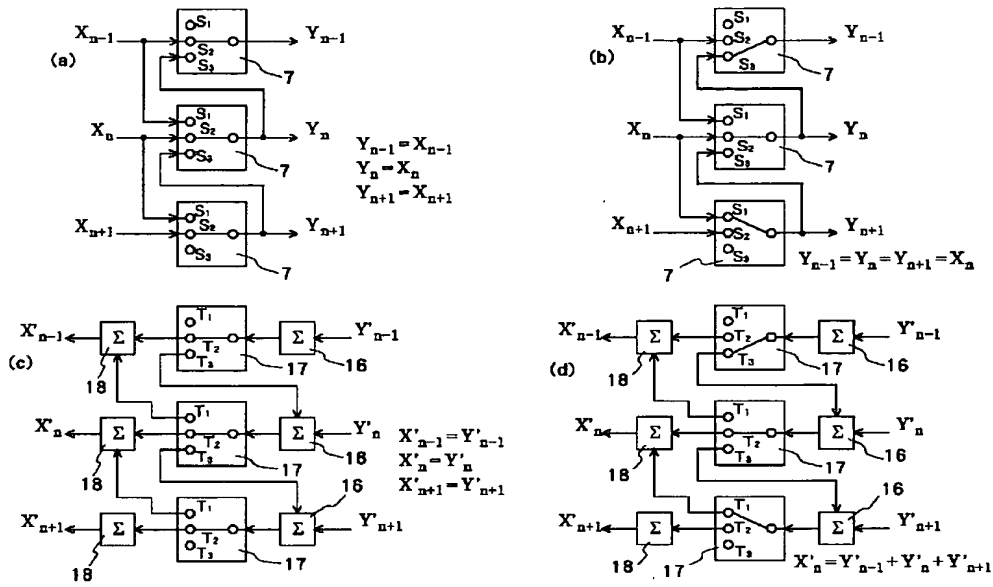
【図 5】



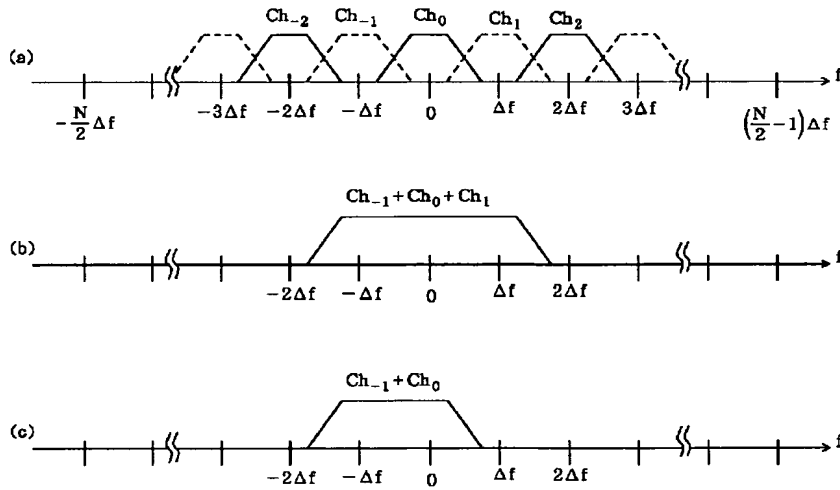
【図 10】



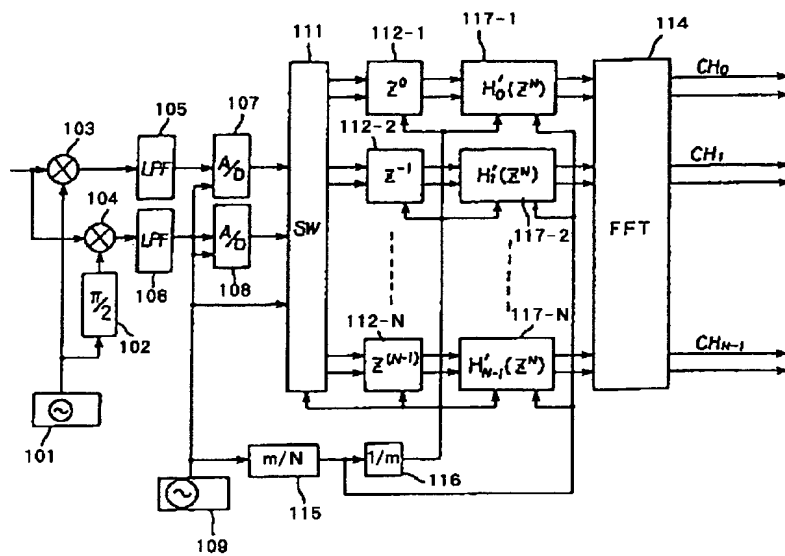
【図 6】



【図 7】



【図 9】



【図 11】

